

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

12630926

Basic Patent (No,Kind,Date): JP 7235680 A2 950905 <No. of Patents: 001>

MANUFACTURE OF THIN-FILM TRANSISTOR (English)

Patent Assignee: TOKYO SHIBAURA ELECTRIC CO

Author (Inventor): GOTO YASUMASA: SETO TOSHISUKE: KAWAHISA YASUTO

IPC: *H01L-029/786; H01L-021,336; H01L-021,265

CA Abstract No: 124(02)019778K

Derwent WPI Acc No: C 95-341995

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 7235680	A2	950905	JP 9425800	A	940224 (BASIC)

Priority Data (No,Kind,Date):

JP 9425800 A 940224

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

04943080 **Image available**

MANUFACTURE OF THIN-FILM TRANSISTOR

PUB. NO.: 07-235680 [JP 7235680 A]

PUBLISHED: September 05, 1995 (19950905)

INVENTOR(s): GOTO YASUMASA

SETO TOSHIKUKE

KAWAHISA YASUTO

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation). JP
(Japan)

APPL. NO.: 06-025800 [JP 9425800]

FILED: February 24, 1994 (19940224)

INTL CLASS: [6] H01L-029/786; H01L-021/336; H01L-021/265

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R004 (PLASMA); R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS -- Glass Conductors); R100 (ELECTRONIC MATERIALS -- Ion Implantation); R116 (ELECTRONIC MATERIALS -- Light Emitting Diodes. LED)

ABSTRACT

PURPOSE: To make it possible to simplify the manufacturing steps of an offset region in a submicron or micron order by performing the etching step of a gate electrode, the impurity implantation step and the re-etching step under the same mask.

CONSTITUTION: After resist, photosensitive polyimide 106 and the like are patterned by photolithography, a gate electrode 107a is etched by a CDE method or the like so that the angle of $\theta_1=25$ deg.C is formed. Thereafter, ions are implanted, and phosphorus is implanted by an ion doping method, without peeling the resist, the polyimide and the like. Furthermore, under the intact used state, wherein the etching is performed by the CDE method, this part is used as the mask in anisotropy etching by an RIE method without peeling the resist, the polyimide and the like. When the gate electrode is etched again at the taper angle of $\theta_2=87$ degrees by the RIE method, an offset region of 110 of about 600nm and an LDD region 109 of about 460nm can be formed.

特開平7-235680

(43)公開日 平成7年(1995)9月5日

(51) Int Cl.
H 01 L 29/786
21/336
21/265

識別記号 庁内整理番号

F I

技術表示箇所

9056-4M

H 01 L 29/78

3 1 1 P

21/265

G

審査請求 未請求 請求項の数 1 ○ L (全 5 頁) 最終頁に続く

(21)出願番号 特願平6-25800

(71)出願人 000003078

(22)出願日 平成6年(1994)2月24日

株式会社東芝

神奈川県川崎市幸区坂川町72番地

(72)発明者 後藤 康正

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)発明者 濑戸 俊祐

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)発明者 川久 雄人

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

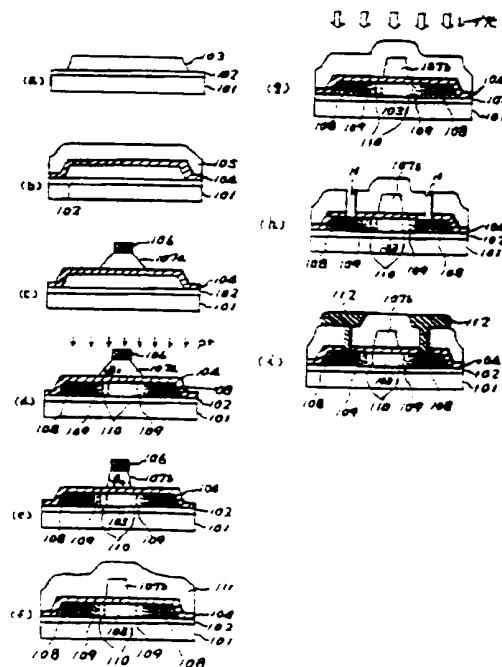
(74)代理人 井理三 則近 雄佑

(54)【発明の名称】薄膜トランジスタの製造方法

(57)【要約】

【目的】 製造工程を煩雑化することなしに、低リーク電流のTFTを提供する。

【構成】 多結晶シリコンをチャネルに有するトップゲート型薄膜トランジスタにおいて、ソース・ドレイン領域にイントリニシック領域、低不純物濃度領域、高不純物濃度領域を有する薄膜トランジスタをゲート電極を同一のマスクを用いて、2回のニッティング工程と、1回の不純物注入工程で形成する薄膜トランジスタの製造方法。



【特許請求の範囲】

【請求項1】絶縁基板上に半導体層を形成する工程と、この半導体層上に底面が広がったゲート電極を形成する工程と、このゲート電極をマスクとして前記半導体層に不純物を導入しソース・ドレイン領域形成する工程と、前記ゲート電極の側面をエッティングする工程とを具備することを特徴とする薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、薄膜トランジスタの製造方法に関する。

【0002】

【従来の技術】プラズマ、発光ダイオード、液晶等の表示デバイスは、表示部の薄型化が可能であり、事務機器やコンピュータ等の表示装置あるいは特殊な表示装置への用途として要求が高まっている。

【0003】これらの中で、非晶質であるアモルファス・シリコン(a-Si)または結晶を持ったシリコン(ポリシリコン:poly-Si)を用いた薄膜トランジスタ(TFT)をスイッチング素子としてマトリックス上に配した液晶表示装置(TFT-LCD)は、表示品位が高く、低消費電力であるため、その開発が盛んに行われている。

【0004】特にpoly-Siを用いたTFTは、a-Si TFTよりも移動度が10から100倍程度高く、その利点を利用して画素スイッチング素子として用いるだけでなく、周辺駆動回路にpoly-Si TFTを用いて、画素TFTと駆動回路TFTを同一基板上に同時に形成する駆動回路一体型TFT-LCDの研究開発が盛んに行われている。

【0005】poly-Si TFTは、a-Si TFTに比べ移動度は高いが、他方リーケ電流(TFTがOFFのとき流れてしまうリーケ電流)がa-Si TFTに比べ高いという難点がある。駆動回路を構成する場合には、特に問題にならないが画素スイッチングに用いた場合は、画質劣化の原因となる。

【0006】そのため、画素に用いるpoly-Si TFTには、さまざまに構造上工夫をこらしたものがある。その一例として、オフセット構造をもつTFTを製造する場合、ソースドレイン領域、オフセット領域を形成するために、フォトリソグラフィー工程が2回必要である。従って露光のために少なくとも2つのマスクが必要であり、それに伴うPVD工程等の露光工程も夫々必要となり、工程が煩雑化するという問題があった。

【0007】

【発明が解決しようとする課題】従来の薄膜トランジスタの製造方法は、リーケ電流の低減化に有利なオフセット構造を有するものの、少なくとも2つのマスクを必要とする2回の露光工程が必要で工程が煩雑化する問題があった。

【0008】本発明は上記問題点に鑑みてなされたもので、1回の露光工程でオフセット構造を形成でき、製造工程数を簡略化した薄膜トランジスタの製造方法の提供を目的とする。

【0009】

【課題を解決するための手段】上記目的を達成するため、本発明は絶縁基板上に半導体層を形成する工程と、この半導体層上に底面が広がったゲート電極を形成する工程と、このゲート電極をマスクとして前記半導体層に不純物を導入しソース・ドレイン領域を形成する工程と、前記ゲート電極の側面をエッティングする工程とを具備することを特徴とする薄膜トランジスタの製造方法を提供するものである。ここで、半導体はIV族半導体やII-VI族等の化合物半導体であっても良いが、液晶表示装置に使用した漆の画質向上面からシリコンが好ましい。

【0010】

【作用】透明絶縁性基板上に、薄膜トランジスタを製造する漆、ゲート電極のエッティング工程、不純物注入工程、再エッティング工程を、同一のマスクで行うことにより、サブミクロンあるいはミクロンオーダのオフセット領域の製造工程を簡略化することができる。それによりコストの低下、歩留まりの向上が可能となる。

【0011】

【実施例】以下、本発明の詳細を図示の実施例により説明する。

(実施例1) 実施例1を図1に従い説明する。図1にはnチャネルコプラ型TFTの製造工程を示している。

【0012】最初にガラス基板、石英基板等からなる透光性絶縁基板101上にCVD法によりバッファ層となるSiO₂膜102を100nm程度被覆する。さらにCVD法により $\text{Si}-\text{H}$ 膜を50nm被覆し、450度で1時間炉アーナーを行った後、例えば XeCl エキシマレーザアーナーにより $\text{Si}-\text{H}$ 膜を溶融再結晶化させpoly-Si膜103を形成する。その後、フォトリソグラフィ等によりpoly-Si膜103をバーニング、エッティングし、島状に加工する(図1(a))。

【0013】次に、CVD法によりゲート絶縁膜としてSiO₂膜104を100nm被覆した後、ゲート電極として例えば燐化ドーピング $\text{Si}-\text{H}$ 膜105を400nm被覆する(図1(b))。

【0014】フォトリソグラフィによりレジスト、感光性ポリイミド106等をバーニングした後に、ゲート電極107を例えばCVD法等により $\theta = 25^\circ$ の角度がつくようにエチチングを行なう(図1(c))。

【0015】次にレジスト、下のミド等の剥離を行なわず、イオン注入、イオンドーピング法により塩を注入する。イオン注入法の場合、例えば加速電圧は10kV、ドーピング量は5×10¹⁴cm⁻²とする。塩イオンは上部にゲート電極が存在しないゲート・ドレイン領域108

8には磷イオンがヘビードープされる、この領域に電気的に隣接してゲートテーパ端部を通過して磷イオンが注入される領域、つまりライトリィドープされた領域109、さらに隣接して膜厚が215nm以上あるテーパ部直下の活性層領域、すなわちイントリンシックSiのままである領域110が得られる(図1(d))。

【0016】次にレジスト・ポリイミド等の剥離を行わず、CDE法によるエッティング時に用いたままの状態でさうに、RIE法の異方性エッティング時のマスクとして使用する。RIE法により $\theta_2 = 87$ 度のテーパ角でゲート電極を再エッティングすると約600nmのオフセット領域110と、約460nmのLDD領域109が形成できる。このときの活性層及びゲート電極の状態について記載する。ゲート電極の再エッティングによりゲート電極107b長は短くなり、それとともにチャネル領域はやや短くなる。チャネルに隣接して前記ライトリィドープ(LDD)領域109、イントリンシックSi領域(オフセット領域)110がソース・ドレイン領域の一部として加わる(図1(e))。

【0017】この後レジスト等の剥離を行った後、APCVD法により層間絶縁膜111を400nm程度被着する(図1(f))。次に、例えばXeClエキシマレーザアニールによりソース・ドレイン領域、ゲート電極107bの活性化を行う。この時のレーザニネルギーは約200mJ/cm²とすれば、十分に活性化ができる。レーザ活性化法を用いた場合不純物の拡散長は、たかだか60nm程度であるので約540nm(0.5μm)のオフセット領域110が形成される。さうに、LDD領域109とオフセット領域110を同時に溶融させるために、良好なn/i接合を形成できることも、リーク電流低減に寄与している(図1(g))。

【0018】さらに、フォトリソグラフィによりコンタクトホールHを開孔し(図1(h))、ソース・ドレイン電極として例えばAl膜をスパッタリング法により成膜する。フォトリソグラフィ等によりソース・ドレイン電極112にバーニングして、nチャネルニオブナ型TFTが完成する(図1(i))。

【0019】ここでゲート電極107a、107bのテーパー加工について説明を加える。ゲート電極をテーパエッティングする際、図2に示したようにゲート電極107aのテーパ角を θ_1 度とする。次に、レジスト等の剥離を行わずそのままゲート電極107aをマスクとして不純物を注入する。さうに、前記ゲート電極107aエッティング時に用いたレジスト等をマスクとして、ゲート電極107aのエッヂ部が垂直あるいは垂直に近い角度(θ_2)になるように再エッティングを行ってゲート電極107bを形成する。この時、 $\theta_1 > \theta_2$ なる条件でエッティングすることは、言うまでもない、ゲート電極107a、ゲート絶縁膜104を通過して不純物が注入される領域の長さ(L₁)上、チャネル領域に隣接したイン

トリンシックポリシリコンのいわゆるオフセット領域の長さ(L₀)の制御は、ゲート電極107a、107bの膜厚、イオン加速電圧、ゲート電極テーパ部の角度(θ_1 、 θ_2)等によって制御する。この時の活性層103中の平均不純物密度を図3に示す。このように、1度の不純物注入工程で、ゲート電極端より70nmからの距離により、高不純物濃度領域103(>L₁)、低不純物濃度領域109(L₁>L₀)、オフセット領域110(L₀>0)の3領域を形成することができる。

【0020】また、ゲート電極を上記条件($\theta_2 > \theta_1$)で2回でエッティングした後、ゲート電極をマスクとして、さうに不純物を低濃度で注入するとLDD構造をとることもできる。

【0021】このとき、不純物を言まないpoly-Si領域(オフセット領域)104の長さ(L₁)と、低不純物濃度領域109の長さ(L₁)の比(L₁/L₀)が0.1以上であることが高い信頼性を得ることから好ましい。

【0022】この製造方法によれば、オフセット領域を形成するために新たなマスクを必要としない、従ってその分の余分のPEP工程等がなくなり、大幅に工程を簡略化することができる。

【0023】本発明のTFTにおいては、容易にオフセット構造を形成することができリーグ電流を7×10⁻¹¹A程度に低減でき、ゲート電極にテーパがついているにも関わらず、前記ゲート電極直下のゲート絶縁膜中に磷イオンが注入されずTFTの信頼性が向上する。

(実施例2) 本実施例が、実施例1と異なる点は、半導体がSi以外の半導体である化合物半導体のGaAsであり、ゲート電極がWN_xのショットキーメモリになったことがある。この場合、実施例1の様なゲート絶縁膜は必要ないので、Si基板上にGaAs層を形成しておき、このGaAs層上にさうに形成したテーパ形状(底面が広がった台形)のゲート電極から不純物をイオン注入してソース・ドレイン領域を形成し、この後、ゲート電極の側面を実施例1と同様にエッティングする。エッティングした下部のGaAs層がオフセット領域となる。これによって実施例1とは材料系は異なるもののGaAsを用いたニアラ型TFTをオフセット領域を持った構造で実施例1と同様に形成することができる。甲第1号証かについても、実施例1と同様に要する事ができる。

【0024】なお、本発明では、ニアラ型TFTについて説明したが、本発明の主旨を逸脱しない範囲において、さまざまに変形することができる。例えばソース・ドレイン領域、チャネル領域よりもゲート電極が上にくるTFT、例えばスタック型TFTについても同様に実施することができる。また、チャネルまたはチャネルタイプのTFTに適用できることは言うまでもない。ゲート電極材料については、高融点金属、その経過物、窒化物などが使用でき、また、ゲート絶縁膜につ

いては、窒化シリコン、窒化酸化シリコン等が使用でき、さらには、ソース・ドレイン領域、チャネル領域について、多結晶、非晶質の各種半導体を使用することができる。

【0025】

【発明の効果】本発明により、オフセット領域を形成するためのフォトリソグラフィ工程を削除し、製造工程を簡略化することができる。それによりコストの低下、歩留まりの向上が可能となる。

【図面の簡単な説明】

【図1】 本発明の実施例を工程順に示した断面図。

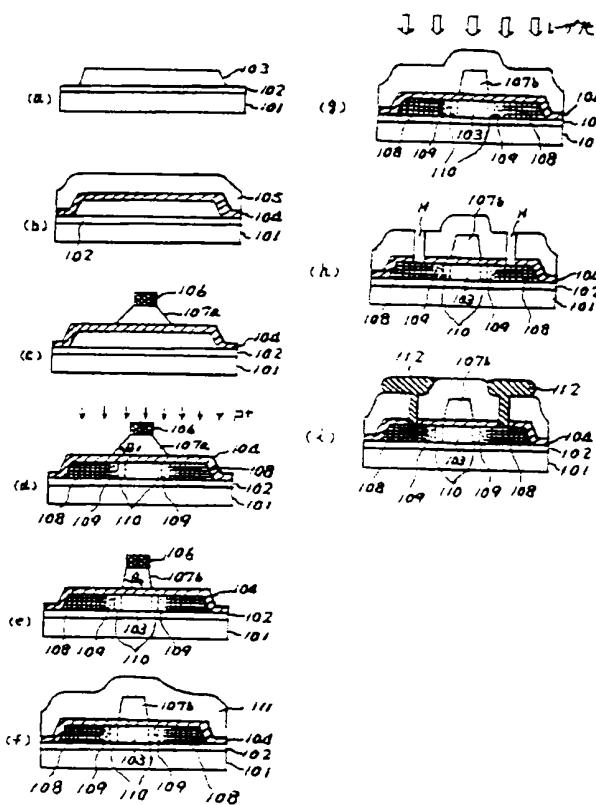
【図2】 本発明の実施例の要部拡大図。

【図3】 本発明の実施例を説明する図。

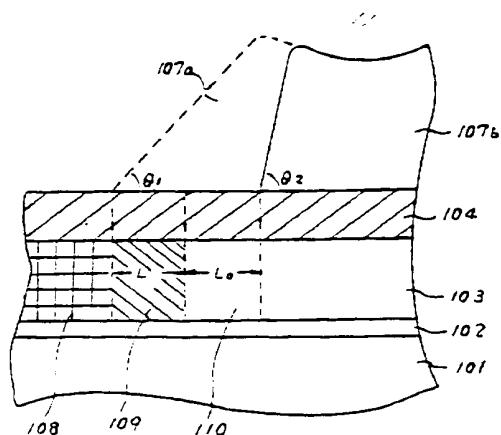
【符号の説明】

- 101 基板
- 102 バッファ層
- 103 多結晶シリコンチャネル
- 104 ゲート絶縁膜
- 107a, 107b ゲート電極
- 108 ソース・ドレイン領域
- 109 低不純物濃度領域
- 110 オフセット領域
- 111 層間絶縁膜

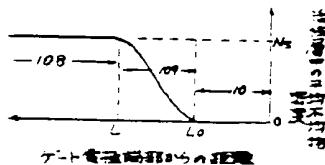
【図1】



【図2】



【図3】



フロントページの続き

(5) Int. Cl. 6

識別記号

序内整理番号

9056-4M

F I

H 01 L 29/78

技術表示箇所

311 G

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成13年11月9日(2001.11.9)

【公開番号】特開平7-235580

【公開日】平成7年9月5日(1995.9.5)

【三通号】公開特許公報7-2357

【出願番号】特願平6-25800

【国際特許分類第7版】

H01L 29/786

21/336

21/265

【F1】

H01L 29/78 311 P

21/265 G

29/78 311 G

【手続補正書】

【提出日】平成13年2月23日(2001.2.23)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正内容】

【書類名】明細書

【発明の名称】薄膜トランジスタの製造方法

【特許請求の範囲】

【請求項1】 絶縁基板上に半導体層を島状に形成する工程と、この半導体層上に絶縁膜を形成する工程と、前記絶縁膜上に導電膜を形成する工程と、前記導電膜上に所定パターンのレジストマスクを形成する工程と、前記導電膜をその上面が前記レジストマスクに従い、底面が広がったテーパ状にバーニングする工程と、この導電膜をマスクとして前記半導体層に下純物を導入する工程と、前記レジストマスクを用いて前記導電膜の側面をエッチングしてゲート電極を形成する工程とを具備することを特徴とする薄膜トランジスタの製造方法。

【請求項2】 絶縁基板上に半導体層を島状に形成する工程と、この半導体層上に絶縁膜を形成する工程と、前記絶縁膜上に導電膜を形成する工程と、前記導電膜をその底面端部が広がったテーパ状にバーニングする工程と、この導電膜のパターンをマスクとして前記半導体層に所定濃度の不純物を導入する工程と、前記導電膜の側面をエッチングしてゲート電極を形成する工程と、前記半導体層に、前記ゲート電極をマスクとして前記所定濃度よりも低い濃度の不純物を導入する工程と、を具備することを特徴とする薄膜トランジスタの製造方法。

【請求項3】 前記導電膜をバーニングする工程と、前記ゲート電極を形成する工程では同一のマスクを用い

ることを特徴とする請求項2記載の薄膜トランジスタの製造方法。

【請求項4】 前記半導体層を島状に形成する工程の前に、前記絶縁基板上にバッファ層を形成する工程を具備することを特徴とする請求項1乃至2のいずれかに記載の薄膜トランジスタの製造方法。

【請求項5】 前記薄膜トランジスタの製造方法において、前記ゲート電極をレーザ活性化する工程をさらに具備することを特徴とする請求項1乃至2のいずれかに記載の薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、薄膜トランジタの製造方法に関する。

【0002】

【従来の技術】プラズマ、発光ダイオード、液晶等の表示デバイスは、表示部の薄型化が可能であり、事務機器やコンピュータ等の表示装置あるいは特殊な表示装置への用途として要求が高まっている。

【0003】これらの中で、非晶質であるアモルファス・シリコン(α-Si)または結晶を持ったシリコン(ポリシリコン: poly-Si)を用いた薄膜トランジスタ(FET)をマイチャーニング素子としてマトリックス上に配した液晶表示装置(FET-LCD)は、表示品位が高く、低消費電力であるため、その開発が盛んに行われている。

【0004】特にpoly-Siを用いたでは、より高いドライブよりも移動度がよりからより音程度高く、その利点を利用して画素へのマイチャーニング素子として用いるだけでなく、周辺駆動回路にpoly-Si TFTを用いて、画素ドライバと駆動回路ドライバを同一基板上に同時に形成する駆動回路一体型ドライバとの研究開発

が盛んに行われている。

【0015】poly-Si TFTは、a-Si TFTに比べ移動度は高いが、他方リーク電流(TFTがOFFのとき流れてしまうリーク電流)がa-Si TFTに比べ高いという難点がある。駆動回路を構成する場合には、特に問題にならないが画素スイッチングに用いた場合は、画質劣化の原因となる。

【0016】そのため、画素に用いるpoly-Si TFTには、さまざまに構造上工夫をこらしたものがある。その一例として、オフセット構造を持ったTFTを製造する場合、ソースドレイン領域、オフセット領域を形成するために、フォトリソグラフィー工程が2回必要である。従って露光のために少くとも2つのマスクが必要であり、それに共うPDP工程等の露光工程も夫々必要となり、工程が煩雑化するという問題があった。

【0017】

【発明が解決しようとする課題】従来の薄膜トランジスタの製造方法は、リーク電流の低減化に有利なオフセット構造を有するものの、少くとも2つのマスクを必要とする2回の露光工程が必要で工程が煩雑化する問題があった。

【0018】本発明は上記問題点に鑑みてなされたもので、1回の露光工程でオフセット構造、あるいはLDD構造を形成でき、製造工程数を簡略化した薄膜トランジスタの製造方法の提供を目的とする。

【0019】

【課題を解決するための手段】上記目的を達成するために、絶縁基板上に半導体層を島状に形成する工程と、この半導体層上に絶縁膜を形成する工程と、前記絶縁膜上に導電膜を形成する工程と、前記導電膜上に所定パターンのレジストマスクを形成する工程と、前記導電膜をその上面が前記レジストマスクに従い、底面が広がったテープ状にバーニングする工程と、この導電膜をマスクとして前記半導体層に不純物を導入する工程と、前記レジストマスクを用いて前記導電膜の側面をニッティングしてゲート電極を形成する工程とを具備することを特徴とする薄膜トランジスタの製造方法を提供するものである。ここで、半導体は4族半導体や3-4族等の加工物半導体であっても良いが、液晶表示装置に使用した際の画質向上面からシリコンが好ましい。

【0020】

【作用】透明絶縁性基板上に、薄膜トランジスタを製造する際、ゲート電極のニッティング工程、不純物注入工程、再ニッティング工程を、同一のマスクで行うことにより、アーミクロンあるいはミクロンオーダのオフセット領域の製造工程を簡略化することができる、それによりコストの低下、歩留まりの向上が可能となる。

【0021】

【実施例】以下、本発明の詳細を図示の実施例により説明する。(実施例1)実施例1を図1に従い説明する。

図1にはチャネル型TFTの製造工程を示している。

【0022】最初にガラス基板・石英基板等からなる透明性絶縁基板101上にCVD法によりバッファ層となるSiO₂膜102を100nm程度被着する、さうにCVD法によりa-Si:H膜を50nm被着し、450度で1時間炉アニュールを行った後、例えばKeC1ニキシマレーブアニールによりa-Si:H膜を溶融再結晶化させpoly-Si膜103を形成する。その後、フォトリソグラフィ等によりpoly-Si膜103をバーニング、エッティングし、島状に加工する(図1(a))。

【0023】次に、CVD法によりゲート絶縁膜としてSiO₂膜104を100nm被着した後、ゲート電極として例えば燐ドープa-Si膜105を400nm被着する(図1(b))。

【0024】フォトリソグラフィによりシジスト、感光性ポリイミド106等をバーニングした後に、ゲート電極107aを例えばCDE法等によりθ₁=25°の角度がつくようにエッティングを行う(図1(c))。

【0025】次にレジスト、ポリイミド等の剥離を行わず、イオン注入、イオンドーピング法により燐を注入する。イオン注入法の場合、例えば加速電圧は100keV、ドース量は5×10¹⁵cm⁻²とする。燐イオンは上部にゲート電極が存在しないソース・ドレイン領域108には燐イオンがヘビードープされる。この領域に電気的に接続してデータテーパ端部を通過して燐イオンが注入される領域、つまりライトリィドープされた領域109、さうに接続して膜厚が2-5nm以上あるテーパ部直下の活性層領域、すなわちイントリンシックSiのままである領域110が得られる(図1(d))。

【0026】次にレジスト、ポリイミド等の剥離を行わず、CDE法によるニッティング時に用いたままの状態でさうに、RIE法の異方性ニッティング時のマスクとして使用する。RIE法によりθ₂=37度のテーパ角でゲート電極を再ニッティングすると約60nmのオフセット領域111と、約400nmのLDD領域109が形成できる。このときの活性層及びゲート電極の状態について記載する。ゲート電極の再ニッティングによりゲート電極107の長さは短くなり、それにともないチャネル領域はやや短くなる。チャネルに接続して前記ライトリィドープ(LDD)領域109、イントリンシックSi領域(オフセット領域)111のソース・ドレイン領域の一部として加わる(図1(e))。

【0027】この後レジスト等の剥離を行った後、A?CVD法により層間絶縁膜112を400nm程度被着する(図1(f))。次に、例えばKeC1ニキシマレーブアニールによりソース・ドレイン領域、ゲート電極107aの活性化を行う。この時チャネルゲートは約200nmの長さとすれば、十分に活性化ができる。

る。レーザ活性化法を用いた場合不純物の拡散長は、たかだか 6 nm 程度であるので約 40 nm ($0.5 \mu\text{m}$) のオフセット領域 110 が形成される。さらに、しどの領域 109 とオフセット領域 110 を同時に溶融させるために、良好な $\text{N}+/1$ 接合を形成できることも、リード電流低減に寄与している(図1(3))。

【0018】さらに、フォトリソグラフィによりコントロールホール H を開孔し(図1(5))、ソース・ドレイン電極として例えば Al 膜をスパッタリング法により成膜する。フォトリソグラフィ等によりソース・ドレイン電極 112 にバターニングして、 n チャネルニオブナ型 TFT が完成する(図1(1))。

【0019】ここでゲート電極 $107a$ 、 $107b$ のテーパー加工について説明を加える。ゲート電極をテーパエッチングする際、図2に示したようにゲート電極 $107a$ のテーパ角を θ_1 度とする。次に、レジスト等の剥離を行わずそのままゲート電極 $107a$ をマスクとして不純物を注入する。さらに、前記ゲート電極 $107a$ エッチング時に用いたレジスト等をマスクとし、ゲート電極 $107a$ のエッチ部が垂直あるいは垂直に近い角度(θ_2) になるように再エッチングを行ってゲート電極 $107b$ を形成する。この時、 $\theta_2 > \theta_1$ なる条件でエッチングすることは、言うまでもない、ゲート電極 $107a$ 、ゲート絶縁膜 104 を通過して不純物が注入される領域の長さ(L)と、チャネル領域に隣接したイントリニシックポリシリコンのいわゆるオフセット領域の長さ(L_0)の制御は、ゲート電極 $107a$ 、 $107b$ の膜厚、イオン加速電圧、ゲート電極テーパ部の角度(θ_1 、 θ_2)等によって制御する。この時の活性層 103 中の平均不純物密度を図3に示す。このように、1度の不純物注入工程で、ゲート電極端 $107b$ からの距離により、高不純物濃度領域 103 ($> L$)、低下不純物濃度領域 109 ($L > L_0$)、オフセット領域 110 ($L_0 > 0$) の3領域を形成することができる。

【0020】また、ゲート電極を上記条件($\theta_2 > \theta_1$)で2回でニッティングした後、ゲート電極をマスクとして、さらに不純物を低濃度で注入するしどの構造をとることもできる。

【0021】このとき、不純物を含まない p 型 $\text{Si}-\text{S}$ 領域(オフセット領域) 110 の長さ(L_0)と、低不純物濃度領域 109 の長さ(L_1)の比(L_0/L_1)が 0.1 以上であることが高い信頼性を得ることから好ましい。

【0022】この製造方法によれば、オフセット領域を形成するために新たに工程を必要としない、従ってその分の余分の P-M-P 工程等がなくなり、大幅に工程を簡略化することができる。

【0023】本発明の TFT においては、容易にオフセット構造を形成することができ、リード電流を下げる

~11A 程度に低減でき、ゲート電極にテーパがついているにも関わらず、前記ゲート電極直下のゲート絶縁膜中に磷イオンが注入されず TFT の信頼性が向上する。

(実施例2) 本実施例が、実施例1と異なる点は、半導体が Si 以外の半導体である化合物半導体の GaAs であり、ゲート電極が WNi のショットキー電極になったことがある。この場合、実施例1の様なゲート絶縁膜は必要ないので、 Si 基板上に GaAs 層を形成しておき、この GaAs 層上にさらに形成したテーパ形状(底面が広がった台形)のゲート電極から不純物をイオン注入してソース・ドレイン領域を形成し、この後、ゲート電極の側面を実施例1と同様にエッチングする。エッチングした下部の GaAs 層がオフセット領域となる。これによって実施例1とは材料系は異なるものの GaAs を用いたニオブナ型 TFT をオフセット領域を持った構造で実施例1と同様に形成することができる。

【0024】なお、本発明では、ニオブナ型 TFT について説明したが、本発明の主旨を逸脱しない範囲において、さまざまに変形することができる。例えばソース・ドレイン領域、チャネル領域よりもゲート電極が上にくる TFT、例えばスタガ型 TFT についても同様に実施することができる。また、 n チャネルまたは p チャネルタイプの TFT に適用することができる。それまでのことは、ゲート電極材料については、高融点金属、その経過物、窒化物などが使用でき、また、ゲート絶縁膜については、窒化シリコン、窒化珪化シリコン等が使用でき、さらには、ソース・ドレイン領域、チャネル領域については、多結晶、非晶質の各種半導体を使用することができる。

【0025】

【発明の効果】 本発明により、オフセット領域を形成するためのフォトリソグラフィ工程を削除し、製造工程を簡略化することができる。それによりコストの低下、歩留まりの向上が可能となる。

【図面の簡単な説明】

【図1】 本発明の実施例を工程順に示した断面図。

【図2】 本発明の実施例の要部拡大図。

【図3】 本発明の実施例を説明する図。

【符号の説明】

- 101 基板
- 102 バッファ層
- 103 多結晶シリコンチャネル
- 104 デート絶縁膜
- 107a、107b デート電極
- 108 ソース・ドレイン領域
- 109 低下不純物濃度領域
- 110 オフセット領域
- 111 間隔絶縁膜